

Diseño de un generador de señales en cuadratura sin resistencias para un desfasador compacto

U. Esteban Eraso, C. Sánchez-Azqueta, F. Aznar, C. Aldea, S. Celma

Grupo de Diseño Electrónico (GDE)
Instituto de Investigación en Ingeniería de Aragón (I3A)
Universidad de Zaragoza, Mariano Esquillor s/n, 50018, Zaragoza, Spain.
e-mail: {uesteban, csanaz, faznar, caldea, scelma}@unizar.es

Resumen

Este trabajo propone una nueva topología de generador I/Q que reemplaza las resistencias de los generadores RLC clásicos por la impedancia de entrada de la siguiente etapa. Con ello se simplifica el circuito y se consigue un error de cuadratura menor que $1,1^\circ$ en el rango de 17 a 22 GHz, con un error de magnitud nulo en la frecuencia central.

Introducción

Las antenas matriciales (*phased array antennas*) son elementos clave en la nueva generación de sistemas de comunicaciones inalámbricas (5G/6G) y en comunicaciones por satélite (SATCOM) [1-2]. El patrón de radiación se conforma electrónicamente, siendo el bloque más importante el desfasador.

Este trabajo se centra en la primera etapa de un desfasador con arquitectura de suma vectorial. Estos desfasadores se basan en un generador de señales en cuadratura (*Quadrature Signal Generator*, QSG) y amplificadores de ganancia variable (*Variable Gain Amplifier*, VGA). En estas arquitecturas, el QSG produce señales con un desfase preciso de 90° , que luego son ponderadas y sumadas por los VGA para obtener el desfase deseado en cada elemento radiante de la antena matricial [3]. Por tanto, un diseño eficiente del QSG es crucial para minimizar los errores de ganancia y fase. Para generar las señales en fase (I) y en cuadratura (Q) a frecuencias de GHz, se suelen utilizar resonadores RLC, que proporcionan el desfase deseado reduciendo pérdidas. Sin embargo, estos QSG son muy sensibles a la carga de la siguiente etapa, lo que degrada tanto su desfase como el equilibrio de amplitudes entre las señales I/Q.

En este trabajo se presenta el diseño de un QSG para utilizarlo como primera etapa de un desfasador vectorial. Para evitar que la carga de la siguiente etapa degrade el desfase entre las señales I/Q, así como su simetría en amplitud, en este trabajo se propone una estrategia unificada de diseño de ambos

bloques aprovechando la impedancia resistiva de entrada del VGA.

Topología

Para generar señales diferenciales en cuadratura algunos circuitos RLC se basan en filtros pasa-todo. [4]. En estos diseños se incluyen dos resistencias de valor $2R$ para lograr una adaptación de impedancia de R en cada rama. El comportamiento de estos circuitos es muy sensible a la carga la siguiente etapa, lo que hace necesario utilizar bloques intermedios que aislen el efecto de la carga de los VGAs añadiendo complejidad al circuito.

Para simplificar la topología y reducir el efecto de la carga que supone el VGA, se propone una estructura en la que su carga contribuye en la generación del desfase entre las señales I/Q. Para ello, dicha etapa ha de estar diseñada de forma que presente una impedancia de entrada predominantemente resistiva y ajustada a R . Esto se consigue utilizando un VGA compuesto por conjuntos de transistores en configuración de puerta común. De esta forma, las resistencias del QSG pueden eliminarse como se ilustra en la Figura 1, conectando directamente el QSG con los VGA sin requerir de etapas intermedias para adaptar impedancias.

Resultados

Para conseguir que la carga sea mayoritariamente resistiva y de 50Ω , se han utilizado transistores con dimensiones $W/L = 42 \mu\text{m}/60 \text{ nm}$ y una tensión de polarización en el terminal de fuente de 500 mV. Los valores para las inducciones y condensadores del generador de cuadratura son $L_1 = 410 \text{ pH}$ y $C = 190 \text{ fF}$.

$$\Delta\phi(^{\circ}) = |90^{\circ} - (\theta_I - \theta_Q)| \quad (1)$$

$$\Delta G \text{ (dB)} = \left| 20 \log \left(\frac{G_I}{G_Q} \right) \right| \quad (2)$$

Los errores en fase y magnitud han sido definidos respectivamente como en (1) y (2), donde θ_I y θ_Q son las fases de las señales I y Q, mientras que G_I y G_Q son sus ganancias. En la Figura 2 se representan el error en fase y en ganancia de las señales I/Q para una banda frecuencial de 17 a 22 GHz. Podemos observar que el error en fase es menor de $1,1^\circ$ en todo el ancho de banda, siendo a la frecuencia central de $0,8^\circ$. En cuanto al error en ganancia, se puede ver que este disminuye totalmente en las frecuencias centrales, siendo a una frecuencia de 19,7 GHz las ganancias iguales ($G_I = G_Q = 0,67$). El error máximo en este rango frecuencial es de 1,45 dB y se registra en las frecuencias bajas. La Figura 3 muestra la impedancia de entrada resistiva y reactiva. Se observa que la impedancia es mayoritariamente resistiva, con un valor diferencial que oscila entre 93 y 101 Ω . La componente reactiva se mantiene por debajo de 10 Ω en toda la banda. A 19,5 GHz la impedancia de entrada es $96 + j5 \Omega$.

Conclusión

En este trabajo se ha diseñado una nueva topología de generador de señales en cuadratura con el objetivo de simplificar la arquitectura de los desfases y reducir los errores de fase y ganancia en las señales I/Q provocados por el acoplo no ideal QSG-VGA.

Los resultados muestran que el error de cuadratura disminuye hasta valores inferiores a $1,1^\circ$ en el rango 17-22 GHz. En cuanto al error en ganancia, puede anularse en las frecuencias de interés, mejorando así el rendimiento del desfase. Esto se traducirá en un comportamiento de fase correcto a la salida del desfase. Además, el hecho de eliminar por completo las resistencias del diseño, supone una disminución en el ruido térmico del desfase.

REFERENCIAS

- [1]. Z. Duan, Y. Wang, W. Lv, Y. Dai, F. Lin, "A 6-bit CMOS Active Phase Shifter for Ku-Band Phased Arrays," IEEE Microwave and Wireless Components Letters, vol. 28, no. 7, 2018.
- [2]. Y. Yu, P. G. Baltus, A. H. v. Roermund, Integrated 60 GHz RF Beamforming in CMOS, Springer.
- [3]. J. Kim, S. Oh, J. Oh, "A High Gain Vector-Sum Phase Shifter in 28-nm CMOS for 5G Communication", IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), Busan, Korea, 2022.
- [4]. S. Y. Kim, D. W. Kang, K. J. Koh and G. M. Rebeiz, "An Improved Wideband All-Pass I/Q Network for Millimeter-Wave Phase Shifters," in IEEE Transactions on Microwave Theory and Techniques, vol. 60, no. 11, 20

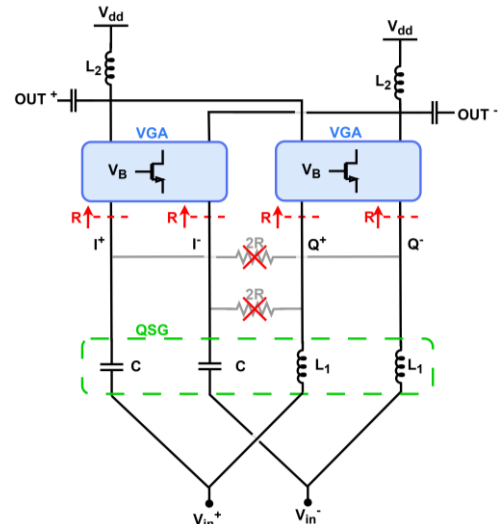


Fig 1. Topología QSG-VGA propuesta para el diseño de un generador de señales en cuadratura sin resistencias, con transistores en configuración de puerta común como carga.

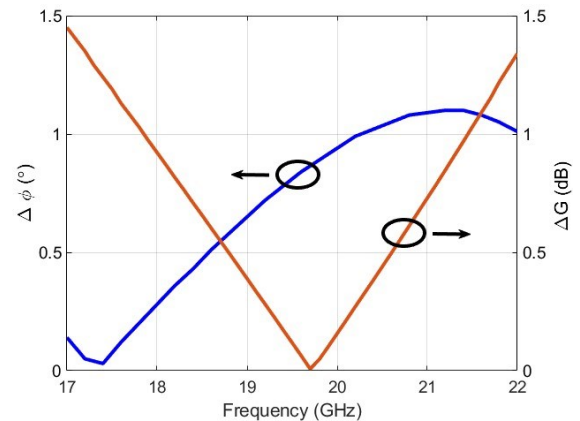


Fig 2. Error en fase (azul) y en ganancia (rojo) en las señales I/Q.

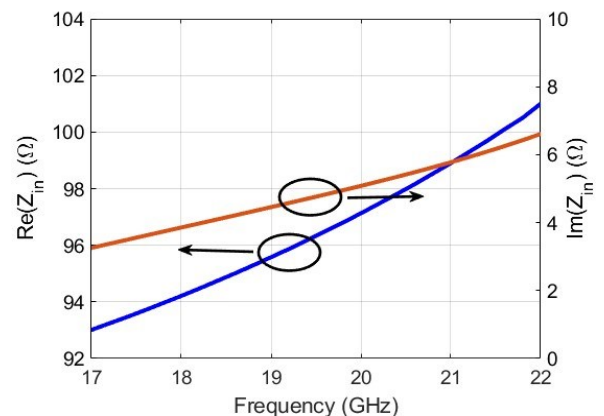


Fig 3. Parte real (azul) e imaginaria (rojo) de la impedancia de entrada.